

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-208843

⑪ Int. Cl.

H 01 L 21/76

識別記号

庁内整理番号

M-7131-5F

⑬ 公開 昭和61年(1986)9月17日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路装置の製造方法

⑮ 特 願 昭60-50910

⑯ 出 願 昭60(1985)3月14日

⑰ 発 明 者 岡 村 健 司
 ⑱ 出 願 人 日本電気株式会社
 ⑲ 代 理 人 弁理士 内 原 晋

東京都港区芝5丁目33番1号 日本電気株式会社内
 東京都港区芝5丁目33番1号

明 細 書

1. 発明の名称

半導体集積回路装置の製造方法

2. 特許請求の範囲

半導体基板表面から内部に向かって溝を形成する工程と、前記溝を含む半導体基板表面に化学気相成長法による第1のシリコン酸化膜を堆積し少なくとも前記溝部を充填する工程と、前記溝部以外の前記第1のシリコン酸化膜をエッチング除去する工程と、シリコン化合物を主成分とする溶液を塗布し熱処理を行なって第2のシリコン酸化膜を形成する工程と、前記溝部以外の前記第2のシリコン酸化膜をエッチング除去することにより前記溝部に絶縁膜を充填する工程とを含むこと特徴とする半導体集積回路装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路装置の製造方法に関し、特に溝を用いた素子分離構造を有する半導体集積回路装置の製造方法に関する。

(従来の技術)

半導体集積回路装置の高集積化においては、素子間分離領域の幅を狭く形成することが必要であり、また素子の微細化において問題となる熱チャネル効果を抑制することが重要である。上記の問題を解決し得る方法として、半導体基板表面から内部に向かって溝部を形成し、前記溝部を絶縁膜等で充填して素子間分離を行なう、いわゆる溝分離構造が提案されている。

従来、上記溝分離構造を形成する方法として、例えば、第2図(a)に示すように、半導体基板21の表面および前記基板表面から内部に向かって形成された溝部の上に化学気相成長法によってシリコン酸化膜22を堆積する。次に第2図(b)に示すように前記シリコン酸化膜22をエッチバックして、前記溝部以外の基板表面(素子形成領域)23を露出させて溝分離構造を完成させる方法がある。

特開昭61-208843 (2)

〔発明が解決しようとする問題点〕

しかしながら、上記従来技術においては、前記シリコン酸化膜22の表面を平坦化させるために前記シリコン酸化膜の膜厚は大きくする必要があるため、前記シリコン酸化膜22の堆積に多大な時間を要し、且つ、前記エッチバックに多大な時間を要するという欠点があった。またエッチバックに多大の時間を要するため、エッチバックの再現性および均一性が悪くなり、図2(b)に示すように適正にエッチバックされた溝部24と過度にエッチバックされた溝部25とが形成される。前記の過度にエッチバックされた溝部25は急峻な底面を有するため、次工程以降の加工を困難にし、半導体集積回路装置の製造歩留りの低下、信頼性の低下を招くという問題があった。

本発明の目的は、前記従来技術の問題点を解決するものであり、特に、溝部充填工程において、工程時間の短縮と、再現性および均一性の向上が可能な半導体集積回路装置の製造方法を提供するものである。

成長膜はステップカバレッジが良好なシリコン酸化膜を用いるのが好ましい。例えばジタロルシラン($\text{SiH}_3\text{C}_6\text{H}_5$)と亜酸化窒素(N_2O)を用いて減圧気相成長法によって形成する。成長膜厚は溝部を充填するのに必要な膜厚であり、溝部の幅が2 μm の場合は、シリコン酸化膜を平坦部で2 μm 成長させる。この場合は溝部は完全に埋まり且つシリコン酸化膜表面はほぼ平坦になる。

次に第1図(b)に示すように従来知られているドライエッチングまたはウェットエッチングまたはその両方を用いて、前記溝部以外の基板表面(素子形成領域)13が露出されるまで、前記第1のシリコン酸化膜をエッチバックする。前記エッチバックにおいて、均一性が多少悪くても以後の工程には問題はない。第1図(b)は前記エッチバックが多少不均一である場合であり、溝部14はエッチバック量が適正であった部分、溝部15はエッチバック量が過度の部分を示している。

続いて第1図(d)に示すように、シリコン化合物を主成分とするシラノール($\text{Si}(\text{OH})_4$)のアル

〔問題点を解決するための手段〕

本発明による半導体集積回路装置の製造方法は以下の工程から構成される。すなわち、半導体基板表面から内部に向かって溝を形成する工程、前記溝を含む半導体基板表面に化学気相成長法によって第1のシリコン酸化膜を堆積し少なくとも前記溝部を充填する工程、前記溝部以外の前記第1のシリコン酸化膜をエッチング除去する工程、シリコン化合物を主成分とする溶液を塗布し熱処理を行なって第2のシリコン酸化膜を形成する工程、前記溝部以外の前記第2のシリコン酸化膜をエッチング除去することにより前記溝部に絶縁膜を充填する工程とから構成される。

〔実施例〕

本発明の実施例をMOS型半導体集積回路に適用した場合について第1図(a)~(d)に示した工程順の断面図を参照して以下に詳述する。

まず第1図(a)に示すように、溝部の形成された半導体基板11の上に化学気相成長法により第1のシリコン酸化膜12を堆積する。前記化学気相

成長を、例えば平坦部分で1000Å程度となるように、メビソオン塗布して熱処理を行なう。溶液を用いるので界面張力によって溝部の深さに応じた膜厚のシリコン酸化膜が形成される。深い溝部においては5000Å程度までシリコン酸化膜が形成される。このためエッチバック量が適正であった溝部15の部分は、エッチバック量が適正であった溝部14よりも膜厚が厚い第2のシリコン酸化膜16が形成され、また、前記溝部以外の基板表面(素子形成領域)13上には薄い前記第2のシリコン酸化膜しか形成されない。従って前記第2のシリコン酸化膜表面は平坦になる。

次に第1図(d)に示すように、前記溝部以外の基板表面(素子形成領域)13が露出されるまで、前記第2のシリコン酸化膜をウェットエッチングによりエッチバックする。前記エッチバックに要する時間は、前記溝部以外の基板表面(素子形成領域)13上の薄いシリコン酸化膜を除去するのに足る時間であるので短時間であり、且つ、その結果均一性及び再現性にも優れ、前記第2のシリ

特開昭61-208843 (3)

コン酸化膜16の表面平坦性を損なうことが無い。以下通常の素子形成工程を経て、MOS型半導体集積回路装置が完成する。なお本発明の実施例において、前記第1のシリコン酸化膜および第2のシリコン酸化膜は、前記基板表面(素子形成領域)13が露出されるまでエッチバックを行なったが、必要に応じて一部分を残しても良い。また、本発明では第1及び第2のシリコン酸化膜としてドーパされていないシリコン酸化膜を用いたが、リンやボロンなどをドーパしたシリコン酸化膜を用いても良い。

〔発明の効果〕

以上詳述したように本発明は、シリコン化合物を主成分とする溶液の表面張力を利用して平坦化を実現するので、化学気相成長法で堆積する第1のシリコン酸化膜は従来法よりもはるかに薄い膜厚で十分であるから、堆積時間並びにエッチバック時間が大幅に短縮できる。

また前記第1のシリコン酸化膜のエッチバック量が半導体基板面内で不均一であってもその上に

塗布する溶液の表面張力によって半導体基板表面は平坦化できるので、前工程で過度にエッチバックされた露部が急峻な段差を有することもないから半導体集積回路装置の製造歩留りが向上し、また信頼性が高まる。

以上述べたように本発明によれば、微分脈構造を従来法に比較してより短時間でしかもより再現性よく形成できかつまた信頼性の高い半導体集積回路装置が製造可能となる。

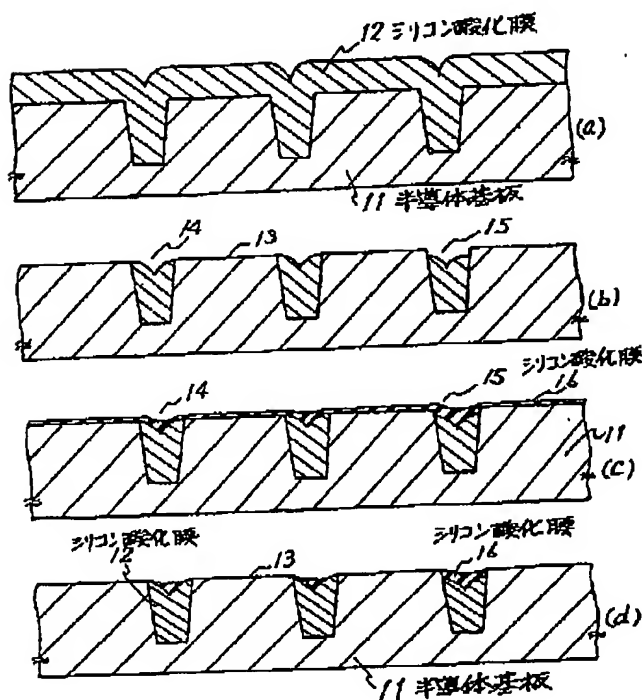
4. 図面の簡単な説明

第1図(a)~(d)は本発明の実施例を示す断面図。

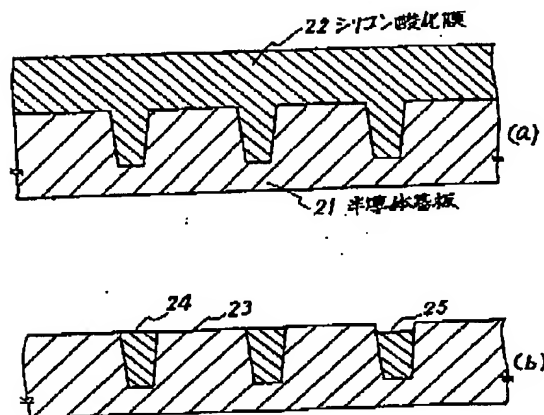
第2図(a)~(b)は従来技術の例を示す断面図である。

11, 21……半導体基板、12, 16, 22……シリコン酸化膜、13, 23……素子形成領域、14, 24……エッチバックが適正な露部、15, 25……エッチバックが過度な露部。

代理人 弁理士 内 原



第 1 図



第 2 図